

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10117016 A**

(43) Date of publication of application: **06.05.98**

(51) Int. Cl

**H01L 33/00**

**H01S 3/18**

(21) Application number: **08270375**

(71) Applicant: **NICHIA CHEM IND LTD**

(22) Date of filing: **14.10.96**

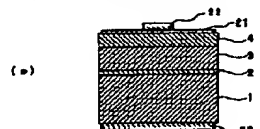
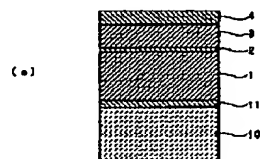
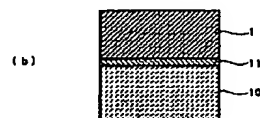
(72) Inventor: **NAKAMURA SHUJI  
IWASA SHIGETO**

**(54) MANUFACTURING METHOD OF NITRIDE  
SEMICONDUCTOR DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To realize a nitride semiconductor device, using a nitride semiconductor as its substrate by making an n-type nitride semiconductor layer with a specific film thickness to grow on a substrate, and by making nitride semiconductor layers containing acceptor impurities grow on the foregoing nitride semiconductor layer, and further, by removing thereafter the substrate therefrom.

**SOLUTION:** A buffer layer 11 is made to grow in contact with a substrate 10 made of spinel ( $\text{MgAl}_2\text{O}_4$ ). Then, an n-type nitride compound semiconductor layer 1 with a film thickness not smaller than  $20\mu\text{m}$  is made to grow in contact with the buffer layer 11. Further, an active layer 2 is made to grow in contact with the semiconductor layer 1. Subsequently, nitride semiconductor layers 3, 4 containing acceptor impurities are made to grow on the active layer 2. Then, a resultant wafer is taken out from a reaction container, to remove the substrate 10 therefrom. In this case, the buffer layer 11 is also removed naturally therefrom. Further, an n-electrode 20 is provided on the surface of the semiconductor layer 1 corresponding to the bottom surface of the wafer, and an electrode comprising a translucent p-type electrode 21 and a pad electrode 22 is formed on the uppermost semiconductor layer 4.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-117016

(43) 公開日 平成10年(1998) 5月6日

(51) Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 33/00

H 0 1 L 33/00

C

H 0 1 S 3/18

H 0 1 S 3/18

審査請求 未請求 請求項の数7 O L (全 10 頁)

(21) 出願番号

特願平8-270375

(22) 出願日

平成8年(1996)10月14日

(71) 出願人 000226057

日亜化学工業株式会社

徳島県阿南市上中町岡491番地100

(72) 発明者 中村 修二

徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

(72) 発明者 岩佐 成人

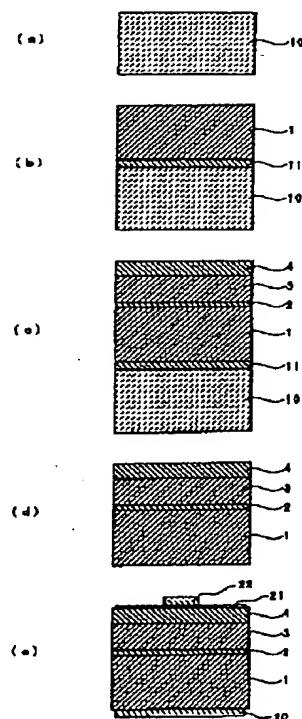
徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

(54) 【発明の名称】 窒化物半導体素子の製造方法

(57) 【要約】

【目的】 窒化物半導体よりなるデバイス素子を製造するにあたり、基板に窒化物半導体を用いた素子を実現できる製造方法を提供する。

【構成】 基板上部にn型窒化物半導体層を20 $\mu$ m以上の膜厚で成長させる工程と、該n型窒化物半導体層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程と、アクセプター不純物を含む窒化物半導体層成長後に基板を除去する工程とを備えるか、若しくはスピネル基板上部にn型窒化物半導体層を20 $\mu$ m以上の膜厚で成長させる工程と、n型窒化物半導体層成長後に基板を除去する工程と、基板除去後のn型窒化物半導体層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程を備える。



## 【特許請求の範囲】

【請求項1】 基板上部にn型窒化物半導体層を20 $\mu$ m以上の膜厚で成長させる工程と、該n型窒化物半導体層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程と、アクセプター不純物を含む窒化物半導体層成長後に基板を除去する工程とを備えることを特徴とする窒化物半導体素子の製造方法。

【請求項2】 前記基板がスピネルよりなることを特徴とする請求項1に記載の窒化物半導体素子の製造方法。

【請求項3】 前記アクセプター不純物を含む窒化物半導体層成長後、窒素源を含む雰囲気中でアニーリングし、その後水素源を含まない雰囲気中でアニーリングする工程を含むことを特徴とする請求項1または2に記載の窒化物半導体素子の製造方法。

【請求項4】 スピネル基板上部にn型窒化物半導体層を20 $\mu$ m以上の膜厚で成長させる工程と、n型窒化物半導体層成長後に基板を除去する工程と、基板除去後のn型窒化物半導体層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程を備えることを特徴とする窒化物半導体素子の製造方法。

【請求項5】 前記n型窒化物半導体層成長後、そのn型窒化物半導体層の表面を鏡面状とすることを特徴とする請求項4に記載の窒化物半導体の製造方法。

【請求項6】 前記基板除去後、n型窒化物半導体を窒素源を含む雰囲気中でアニーリングする工程と、その後アクセプター不純物を含む窒化物半導体層成長後、水素源を含まない雰囲気中でアニーリングする工程とを備えることを特徴とする請求項4または5に記載の窒化物半導体素子の製造方法。

【請求項7】 前記n型窒化物半導体層はp型窒化物半導体層に接近した側のキャリア濃度を小さくして、p型窒化物半導体から離れた側のキャリア濃度を大きくすることを特徴とする請求項1乃至7の内のいずれか1項に記載の窒化物半導体の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はLED（発光ダイオード）、LD（レーザダイオード）等の発光デバイス、太陽電池、光センサー等の受光デバイスに使用される窒化物半導体（ $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 、 $0 \leq x$ 、 $0 \leq y$ 、 $x+y \leq 1$ ）素子の製造方法に関する。

## 【0002】

【従来の技術】窒化物半導体は青色発光LED、緑色発光LEDとして現在実用化されている。窒化物半導体は格子整合した基板が存在しないために、格子定数が13.5%も異なるサファイア基板上に直接形成した数百オングストロームの膜厚のAlN、GaNバッファ層を介して成長されている。一方、格子整合した基板となるGa $\text{N}$ のバルク結晶を作製する試みが外国研究期間において行われているが、現在のところ、Ga $\text{N}$ のバルク結

晶は1200℃以上、1万気圧以上の高温高圧雰囲気中でしか成長できず、しかも、数ミリの小さな結晶しか得られていないのが実状である。

【0003】バルク単結晶によるGa $\text{N}$ 基板が期待できないため、Ga $\text{N}$ 厚膜を基板とする技術が例えば特開平8-116090号に示されている。この技術によると、GaAs、GaP、InP、Si等の基板上に、バッファ層を介してGa $\text{N}$ を50～200 $\mu$ mの膜厚で形成し、その後基板を研磨、化学エッチング等の手段により除去して、残留したGa $\text{N}$ 層の上に新たにn型層、p型層を含む窒化物半導体を成長させる。

【0004】またこの他、特開平7-165498号には、基板の上にバッファ層とGa $\text{N}$ 単結晶層とを繰り返して成長させて、Ga $\text{N}$ 基板を作成する方法が記載されており、特開平7-202265号にはサファイア基板にZnOよりなるバッファ層を成長させ、そのバッファ層上に厚膜のGa $\text{N}$ を成長させた後、ZnOを溶解除去することにより、厚膜のGa $\text{N}$ 単結晶基板を得る方法が示されている。さらに、特開平7-94784号にはGa $\text{N}$ 単結晶基板の上に互いに異なる導電型の窒化物半導体層を積層した発光デバイスが開示されている。

## 【0005】

【発明が解決しようとする課題】このように、窒化物半導体を成長させるためのGa $\text{N}$ 基板には、数々の技術が提案されているが、このGa $\text{N}$ を基板とした窒化物半導体は未だ出現しておらず、現実的には、数十 $\mu$ m以上の厚膜Ga $\text{N}$ を基板に有する各種デバイス素子を製造するのは非常に難しい。

【0006】従って、本発明の目的とするところは、窒化物半導体よりなるデバイス素子を製造するにあたり、基板に窒化物半導体を用いた素子を実現できる製造方法を提供することにある。

## 【0007】

【課題を解決するための手段】本発明の窒化物半導体素子素子の製造方法は2種類の態様からなり、第1の態様は、基板上部にn型窒化物半導体層（以下、n型層という。）を20 $\mu$ m以上の膜厚で成長させる工程と、該n型層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させる工程と、アクセプター不純物を含む窒化物半導体層成長後に基板を除去する工程とを備えることを特徴とする。特に本発明の第1の態様においては基板にスピネル（ $\text{MgAl}_2\text{O}_4$ ）を用い、その中でもスピネル基板の（111）面を窒化物半導体の成長面とすることが望ましい。

【0008】本発明の第1の態様では、アクセプター不純物を含む窒化物半導体層成長後、窒素を含む雰囲気中でアニーリング（熱処理）し、その後水素源を含まない雰囲気中でアニーリングする工程を含むことを特徴とする。窒素源を含む雰囲気中でアニーリングするのは、N源を供給することにより、窒化物半導体の分解を防止し

て結晶性を整えるためにである。そのためN源としてはアンモニア、ヒドラジン等を用い300℃～1200℃の雰囲気中でアニーリングすることが望ましい。最も結晶性が良くなるのは400℃以上である。H源を含まない雰囲気中でアニーリングするのは、反応中、あるいは前記N源アニーリングにより、アクセプター不純物と結合したHを結晶中より除去し、アクセプター不純物をドーブした窒化物半導体層をさらに低抵抗にするためにである。このアニーリングも400℃以上で行うことが望ましい。

【0009】また本発明の第2の態様は、スピネル基板上部にn型層を20μm以上の膜厚で成長させる工程と、n型層成長後に基板を除去する工程と、基板除去後のn型層上部に少なくとも、アクセプター不純物を含む窒化物半導体層を成長させることを特徴とする。また、本発明の第2の態様においても、スピネル基板の(111)面を窒化物半導体の成長面とすることが望ましい。

【0010】なお、本願の請求項において、基板上部成長させるn型層とは、必ずしもn型層を基板に接して成長させるわけではなく、基板に接してGa<sub>2</sub>N、AlN、ZnO等のバッファ層を成長させ、該バッファ層に接して膜厚20μm以上のn型層を成長させることも含まれる。20μm以上の膜厚のn型層は単一組成の窒化物半導体でも良いし、また組成の異なるn型層の薄膜を積層した層でも良い。同様に、n型層上部にアクセプター不純物をドーブした窒化物半導体層を成長させるとは、必ずしもアクセプター不純物をドーブした窒化物半導体層をn型層に接して成長するわけではなく、n型層にバッファ層、若しくはi型層、または活性層等を接して成長させ、それらのバッファ層、i型層、活性層に接してアクセプター不純物をドーブした窒化物半導体を成長することも含まれる。

【0011】さらに、本発明の第2の態様では、n型層成長後、そのn型層の表面を鏡面状とすることを特徴とする。

【0012】また本発明の第2の態様では、前記基板除去後、n型窒化物半導体を窒素源を含む雰囲気中でアニーリングし、その後アクセプター不純物を含む窒化物半導体層成長後、水素源を含まない雰囲気中でアニーリングすることを特徴とする。基板除去後に、窒素源を含む雰囲気中でアニーリングするのは、第1の態様と同じく、N源を供給することにより、窒化物半導体の分解を防止して結晶性の良い基板を整えるためであり、同様に、アンモニア、ヒドラジン等を用い300℃～1200℃の雰囲気中でアニーリングすることが望ましい。最も結晶性が良くなる温度は400℃以上である。H源を含まない雰囲気中でアニーリングするのは、第1の態様と同じく反応中にアクセプター不純物と結合したHを結晶中より除去し、アクセプター不純物をドーブした窒化物半導体層をさらに低抵抗にするためであり、400℃

以上で行うことが望ましい。また本発明の第1の態様及び第2の態様では、n型層はp型層に接近した側のキャリア濃度を小さくして、p型窒化物半導体から離れた側のキャリア濃度を大きくすることを特徴とする。

【0013】

【発明の実施の形態】図1(a)～(e)は、本発明の第1の態様の各工程において得られるウェーハの部分的な構造を示す模式断面図である。これらの図を元に本発明の第1の態様を説明する。

10 【0014】窒化物半導体の成長方法は特に限定するものではなく、例えばMOVPE（有機金属気相成長法）、HDVPE（ハライド気相成長法）、MBE（分子線気相成長法）等、従来窒化物半導体を成長させるために提案されているあらゆる方法が適用できる。

【0015】図1(a)において10は基板である。窒化物半導体はまずこの基板10の上に成長させる。第1の態様では基板10には、サファイア、スピネル、SiC、GaAs、Si、ZnO等の基板が使用できるが、好ましくはスピネルを用いる。スピネルは他の材料に比較して、単一組成の窒化物半導体を20μm以上の厚膜で成長させることができる。しかもスピネルの(111)面を窒化物半導体の成長面とすると、結晶性の良い窒化物半導体が厚膜で成長できる。なお結晶性の良し悪しは2結晶法X線ロッギングカーブの半値幅を測定することにより判断でき、その半値幅が200秒以下、さらに好ましくは150秒以下、最も好ましくは100秒以下の結晶が得られれば、その窒化物半導体結晶はクラックが少なく、均一な面が得られていると判断できる。スピネルは窒化物半導体との格子定数差が少なく（9%）、また熱膨張係数差が少なく、さらに他の窒化物半導体を成長させる基板に比較して結晶が柔らかいため、厚膜の窒化物半導体を成長させてもクラックが入りにくいという特徴がある。例えばサファイア、SiC等の基板にGa<sub>2</sub>Nを10μm以上の膜厚で成長するとクラックが入りやすい傾向がある。

【0016】次に、この基板10に接してバッファ層11を成長させる。バッファ層11は例えばAlN、AlGa<sub>2</sub>N、Ga<sub>2</sub>N、InGa<sub>2</sub>N等の窒化物半導体を200℃～900℃の低温で成長させる。バッファ層11は基板10とバッファ層の次に成長させる窒化物半導体との格子不整合を緩和する作用がある。なお、窒化物半導体は半導体自身の格子欠陥によりノンドープ（不純物をドーブしない）の状態ではn型を示す性質があるため、バッファ層11は通常、n型の導電性を示す。

【0017】さらに(b)に示すように、バッファ層11に接して、n型層1を20μm以上の膜厚で成長させる。n型層1はバッファ層よりも高温で成長させる。n型層1を単一組成で20μm以上成長する場合、その組成はGa<sub>2</sub>Nとすることが望ましい。Ga<sub>2</sub>NはIn<sub>2</sub>N若しくはAlを含む窒化物半導体よりも成長させやすく、最も

結晶性の良いものが得られる。また、n型層1は複数のn型層を積層して20 $\mu$ m以上とすることもできる。例えばバッファ層11の上にGa<sub>0.9</sub>Nを5 $\mu$ m成長させ、その上にInGa<sub>0.1</sub>Nを0.1 $\mu$ m、さらにGa<sub>0.9</sub>Nを5 $\mu$ m成長させ、それを繰り返して20 $\mu$ m以上の膜厚にするといった具合に、薄膜のn型層を積層することもできる。このように薄膜の窒化物半導体を成長させる場合においても、基板10がスピネルであれば、クラックの入りにくいn型層を成長させることができる。なお、窒化物半導体は前記のようにノンドープでもn型にはなるが、好ましくはSi、Ge、Sn等のドナー不純物をドープして、キャリア濃度を調整したn型層を成長させることが望ましい。なお、n型層1の膜厚は20 $\mu$ m以上、さらに好ましくは50 $\mu$ m以上、最も好ましくは100 $\mu$ m以上の膜厚で成長させる。20 $\mu$ mよりも少ないと、後で基板を除去した際に、ウェーハが割れやすくなって、正確な形状のチップを作製しにくくなるからである。膜厚の上限値は特に規定しないが、通常1mm以下に調整する。

【0018】ドナー不純物をドープしてキャリア濃度を調整する場合、n型層1のキャリア濃度はバッファ層11に接近した側のキャリア濃度を大きくし、一方次に成長させる活性層2に接近した側のキャリア濃度を小さくすることが望ましい。このように、p型層に接近した側のキャリア濃度を小さくして、遠ざかった方の側のキャリア濃度を大きくすると、後に基板10を削除して、n型層1側にn電極を形成した際のキャリア注入効率が向上し、発光出力が向上する。

【0019】次に(c)に示すようにn型層1に接して活性層2を成長させる。n型層に接して形成する活性層2の導電性はn型でも、i型でも、p型でもよい。活性層2はInを含む窒化物半導体よりなる井戸層を含むように構成し、好ましくは三元混晶のInGa<sub>1-x</sub>Nよりなる井戸層が望ましい。三元混晶のInGa<sub>1-x</sub>Nは四元混晶のものに比べて結晶性が良い物が得られるので、発光出力が向上する。LED素子を作製する場合は活性層は単一の井戸層よりなる単一量子井戸構造(SQW: Single-quantum-well)とする。また、LD素子を作製する場合には、活性層をInGa<sub>1-x</sub>Nよりなる井戸層と、井戸層よりもバンドギャップの大きい窒化物半導体よりなる障壁層とを積層した多重量子井戸構造(MQW: Multi-quantum-well)とする。障壁層も同様に三元混晶のIn<sub>x</sub>Ga<sub>1-x</sub>N (0 $\leq$ x' $<$ 1、x' $<$ x)が好ましく、井戸+障壁+井戸+...+障壁+井戸(その逆でも可)となるように積層してMQWを構成する。このように活性層をInGa<sub>1-x</sub>Nを積層したMQWとすると、量子準位間発光で約365nm~660nm間での高出力なLDを実現することができる。さらに、井戸層の上にInGa<sub>1-x</sub>Nよりなる障壁層を積層すると、InGa<sub>1-x</sub>Nよりなる障壁層はAlGa<sub>1-x</sub>Nに比べて結晶が柔らかい。そのためク

ラッド層のAlGa<sub>1-x</sub>Nの厚さを厚くできるのでレーザ発振が実現できる。さらに、InGa<sub>1-x</sub>NとAlGa<sub>1-x</sub>Nとは結晶の成長温度が異なる。例えば、MOVPE法ではInGa<sub>1-x</sub>Nは600℃~800℃で成長させるのに対して、AlGa<sub>1-x</sub>Nは900℃より高い温度で成長させる。従って、InGa<sub>1-x</sub>Nよりなる井戸層を成長させた後、AlGa<sub>1-x</sub>Nよりなる障壁層を成長させようとするれば、成長温度を上げてやる必要がある。成長温度を上げると、先に成長させたInGa<sub>1-x</sub>N井戸層が分解してしまうので結晶性の良い井戸層を得ることは難しい。さらに井戸層の膜厚は数十オングストロームしかなく、薄膜の井戸層が分解するとMQWを作製するのが困難となる。それに対し、障壁層もInGa<sub>1-x</sub>Nとすると、井戸層と障壁層が同一温度で成長できる。従って、先に形成した井戸層が分解することがないので結晶性の良いMQWを形成することができる。これはMQWの最も好ましい態様を示したものであるが、他に井戸層をInGa<sub>1-x</sub>N、障壁層をGa<sub>1-x</sub>N、AlGa<sub>1-x</sub>Nのように井戸層よりも障壁層のバンドギャップエネルギーを大きくすればどのような組成でも良い。InGa<sub>1-x</sub>N多重量子井戸構造、若しくは単一量子井戸構造の活性層は、InGa<sub>1-x</sub>N井戸層の組成不均一によりできるInリッチのエネルギーポテンシャル井戸層に、エキシトンが局在し、局在エキシトンが形成されている。この局在エキシトン発光により発光出力が向上する。つまり、このような単一膜厚が数十オングストロームの薄膜を積層した場合、井戸層、障壁層共、均一な膜厚で成長しておらず、凹凸のある層が幾重にも重なり合った状態となっている。凹凸のある活性層を、活性層よりもバンドギャップの大きいクラッド層で挟むダブルヘテロ構造を実現すると、活性層に注入された電子とホールとが、凹部にも閉じ込められるようになって、クラッド層の縦方向と共に縦横の両方向に閉じ込められる。このため、キャリアが約10~70オングストローム凹凸差がある3次元のInGa<sub>1-x</sub>Nよりなる量子箱、あるいは量子ディスクに閉じ込められたようになって、従来の量子井戸構造とは違った量子効果が出現する。

【0020】次に図1(c)に示すように、活性層2の上に、アクセプター不純物を含む窒化物半導体層3、4(以下、アクセプター不純物を含む窒化物半導体層をp型層という。)を成長させる。この図では最も簡単なLED構造を示しているので、p型層はp型クラッド層3と、p型コンタクト層4とからなっているが、これらのp型層の他に、必要に応じて異なる組成を有するp型層を、活性層の上であればどこでも新たに挿入することができる。なお、これらのp型層は成長後、アニーリングを行うことによりさらに低抵抗なp型層を実現できる。

【0021】以上のようにして、基板10上にn型層1を20 $\mu$ m以上の膜厚で成長させ、そのn型層1の上に少なくとも、p型層3、4を成長させる。なおn型層1と基板10との間にバッファ層11を成長させてもよい

し、またn型層1とp型層3との間に活性層2を成長させても、本発明の範囲内であるし、またn型層1と活性層2との間に、他の組成よりなるn型層（例えばn型クラッド層）を成長させることもできる。

【0022】次に、窒化物半導体よりなる素子構造を成長させた後、ウェーハを反応容器から取り出して、図1(d)に示すように、基板10を除去する。基板10を除去するには研磨、エッチング等の手段がある。研磨であれば、SiC粉、ダイヤモンド粉を用いてラッピングした後、ポリシングを行う。化学エッチングであれば例えば硫酸+リン酸の混酸、硫酸+過酸化水素で基板側を溶解することにより除去できる。なお図1ではパッファ層11も除去しているが、パッファ層11は非常に薄い層であり、エッチング、研磨等の技術では必ずしも数十オングストロームの精度で平面均一に基板が除去されることはないため、自然とパッファ層11も除去される。このようにして窒化物半導体よりなる、n型層1の表面と、p型層4の表面とが上下に露出したウェーハを作製することができる。

【0023】図1(e)は(d)のウェーハからチップ状に切り出した窒化物半導体チップ構造を示している。底面に相当するn型層1の表面にはn電極20を設け、最上層のp型コンタクト層4には透光性のp電極21とパッド電極22とからなる電極を形成している。p電極21は透光性の金属電極であり、例えば0.1 $\mu$ m以下の膜厚で形成されると共に、p型コンタクト層4と好ましいオーミック接触を得ている。透光性のp電極21は活性層2の発光をp型層側から観測できて、膜厚が薄いためにp型層に含まれる水素をアニーリング時に透過して、低抵抗なp型層の実現に寄与している。またパッド電極22は透光性のp電極21に直接ワイヤーボンディングすると透光性電極21が剥がれやすくなるので、p電極21の剥がれを防止すると共に、ワイヤーボンディング位置を明らかにしている。また、パッド電極がp電極21中央部にあると、ワイヤーボンディング時のボンディング位置決めが容易になり、素子歩留が向上する。

【0024】本発明の第1の態様が従来のGaNの基板を製造する技術と異なるところは、n型層を成長させた後、活性層、及びp型層まで形成して素子自体の構造を作製してしまい、その後基板を除去するところにある。このように、一度成長させた窒化物半導体を反応容器から出さずに素子構造まで作ってしまうことにより素子の量産性が良くなる。また基板を素子構造ができあがるまで反応容器から取り出さないために、空気に触れることによる窒化物半導体成長面の基板の酸化、変質を防止することができる。

【0025】図2(f)～(j)は、本発明の第2の態様の各工程において得られるウェーハの部分的な構造を示す模式断面図である。これらの図を元に本発明の第2の態様を説明する。

【0026】図2(f)に示す基板10はスピネルよりなる。第2の態様では基板がスピネルである必要がある。なぜなら、第2の態様は第1の態様と異なり、基板10の上にn型層を成長させてから基板を除去する。そのため、単一組成のn型層を厚膜で成長させる方が、再度n型層を反応容器内に移し、1000℃以上の高温で結晶成長を行う際に、n型層の割れ、欠け等の結晶損傷、n型層の反りのような物理的変形を防ぐために望ましい。単一組成のn型層を厚膜で成長させるには、スピネル基板が最も成長させやすいのは第1の態様で述べたとおりである。

【0027】このスピネル基板10に接してパッファ層11を成長させる。パッファ層11は第1の態様と特に代わるものではない。

【0028】次にこのパッファ層11に接してn型層1を20 $\mu$ m以上の膜厚で成長させる。第2の態様ではこのn型層1は単一の窒化物半導体組成、好ましくはGaNで20 $\mu$ m以上の膜厚で成長させることが望ましい。さらに、第2の態様では、n型層の膜厚は好ましくは50 $\mu$ m以上、さらに好ましくは100 $\mu$ m以上、最も好ましくは120 $\mu$ m以上の膜厚で成長させることが望ましい。これは、n型層1成長後に基板10を除去して、新たな基板となる単独のn型層を作製し、さらにこのn型層の上に高温で結晶成長を行う。基板となるn型層が薄いと成長中に割れたり、反ったりするために、均一な膜厚の窒化物半導体層が積層できないおそれがある。従って、第2の態様ではn型層1は第1の態様よりも厚く成長させることが望ましい。

【0029】また、第1の態様と同じく第2の態様でも、n型層1にSi、Ge、Sn等のドナー不純物をドーピングして、キャリア濃度を調整したn型層を成長させることが望ましく、ドナー不純物をドーピングしてキャリア濃度を調整する場合、n型層1のキャリア濃度はパッファ層11に接近した側のキャリア濃度を大きくし、パッファ層11から離れた側のキャリア濃度を小さくすることが望ましい。

【0030】次に、n型層1成長後、ウェーハを反応容器から取り出し、研磨、エッチング等の手段により、図2(h)に示すように基板10を除去する。基板を除去することによって、第1の主面と第2の主面とが露出したn型層1よりなるウェーハを作製することができる。また、図2(h)でも同様にパッファ層11も除去されているが、この原因は第1の態様と同じである。

【0031】さらに、第2の態様では、基板10除去後、他の導電型を有する窒化物半導体層を成長させようとするn型層1の表面を鏡面状とすることが望ましい。鏡面状とするには、化学的エッチングの他、研磨、ドライエッチングのような物理的エッチング手段があるが、窒化物半導体をエッチングできる溶剤は硫酸+リン酸のように数少なく、危険性も高いため、研磨が最も好まし

い。このようにn型層1のいずれか一方の面を鏡面状とすることにより、面方位のそろった窒化物半導体を成長することができる。

【0032】次に、図2(i)に示すように、n型層1の表面に活性層2、p型クラッド層3、p型コンタクト層4を順に積層する。活性層2は第1の態様で述べた活性層と同様のものが最も好ましい。また活性層2とn型層1との間に、n型層1と異なる組成を有するn型窒化物半導体よりなる他の層を成長させても良い。p型クラッド層3、p型コンタクト層4についても第1の態様と同じであり、また必要に応じて、異なる組成を有するp型層を活性層の上であればこの層に挿入しても良い。

【0033】図2(h)は(i)のウェーハからチップ状に切り出した窒化物半導体チップ構造を示すものであり、透光性電極21、パッド電極22の作用効果は第1の態様と特に異なるものではないが、このチップが図1(e)のチップと異なる点は、活性層2の下にあるn型層1をエッチングしているところにある。すなわちp型層をエッチングして活性層2の下にあるn型層を露出させ、露出したエッチング溝と、エッチング溝との間で、ウェーハを切断してチップ状にしている。この作用は次の通りである。本発明によると、基板が窒化物半導体となるために、窒化物半導体を劈開することができるようになる。しかしながら、窒化物半導体は六方晶系というその結晶形のため、劈開で全てを矩形のチップ状にすることは困難である。そのためいずれかの面はダイシング等の切断手段を取らざるを得ない。窒化物半導体は結晶の性質が非常に堅いため、ダイシングするとダイシング端面に欠け、割れ等が発生しやすくなり、特に活性層の端面にそのような結晶欠陥が発生すると、素子自体の信頼性が低下する。従って活性層よりも下のn型層までエッチングすることにより、ダイシング時の刃先が活性層端面に触れないようにすることができるので、素子の信頼性が向上する。この(j)の形状は第1の態様においても同様に適用可能である。

【0034】

【実施例】以下、MOCVD法にて窒化物半導体を成長させる方法を述べるが、本発明の方法はMOCVDだけでなく、MBE、HDVPE等の窒化物半導体を成長させるために従来提案されているあらゆる方法に適用できる。また素子構造についても、代表的なLED素子とLD素子しか述べていないが、構造も本実施例に限定されるものではない。

【0035】〔実施例1〕(第1の態様)

図1を元にして本発明の第1の態様を説明する。(111)面を成長面とするスピネル基板10(MgAl<sub>2</sub>O<sub>4</sub>)を反応容器内にセットし、反応容器内を水素で十分置換した後、水素を流しながら、基板の温度を1050℃まで上昇させ、基板のクリーニングを行う。

【0036】続いて、温度を510℃まで下げ、キャリ

アガスに水素、原料ガスにアンモニアとTMG(トリメチルガリウム)とを用い、スピネル基板上にGaNよりなるバッファ層11を約200オングストロームの膜厚で成長させる。バッファ層はAlN、GaN、AlGa<sub>1-x</sub>N等が、900℃以下の温度で、膜厚数十オングストローム～数百オングストロームで形成できる。このバッファ層は基板と窒化物半導体との格子定数不正を緩和するために形成されるが、窒化物半導体の成長方法によっては省略することも可能である。

【0037】バッファ層11成長後、TMGのみ止めて、温度を1030℃まで上昇させる。1030℃になったら、同じく原料ガスにTMG、アンモニアガス、ドーパントガスにシランガスを用い、図1(b)に示すように、n型コンタクト層1としてSiドープn型GaN層を100μmの膜厚で成長させる。n型コンタクト層1は最初の50μmを高キャリア濃度のn<sup>+</sup>として、次の50μmを低キャリア濃度のn<sup>-</sup>とする。n型コンタクト層はIn<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N(0≤x, 0≤y, x+y≤1)で構成することができ、特にGaN、InGa<sub>1-x</sub>N、その中でもSiをドープしたGaNで構成することにより、キャリア濃度の高いn型層が得られ、また負電極と好ましいオーミック接触が得られる。負電極の材料としてはAl、Ti、W、Cu、Zn、Sn、In等の金属若しくは合金が好ましいオーミックが得られる。

【0038】次に原料ガスにTMG、TMI、アンモニアを用い、温度を800℃に保持して、ノンドープIn<sub>0.2</sub>Ga<sub>0.8</sub>Nよりなる単一量子井戸構造(SQW)よりなる活性層2を30オングストロームの膜厚で成長させる。活性層2をInGa<sub>1-x</sub>Nよりなる井戸層を含む単一量子井戸構造若しくは多重量子井戸構造とすると、量子準位間発光で約365nm～660nm間での高出力な発光素子を実現することができる。多重量子井戸構造では、井戸層は70オングストローム以下、障壁層は150オングストローム以下の厚さに調整することが望ましい。一方、単一量子井戸構造では70オングストローム以下の膜厚に調整することが望ましい。

【0039】次に、温度を1050℃に上昇させ、Mgドープp型Al<sub>0.2</sub>Ga<sub>0.8</sub>Nよりなるp型クラッド層3を0.5μmの膜厚で成長させる。活性層に接して成長させるp型のクラッド層はAlを含む窒化物半導体、好ましくはAlGa<sub>1-x</sub>Nを成長させることが望ましい。p型にするためのアクセプター不純物としてはMg、Zn、Cd等のII族元素を挙げることができ、これらのアクセプター不純物を窒化物半導体成長中にドープすることによりp型の結晶が得られるが、好ましくは成長後アクセプター不純物をドープした結晶をアニーリングして、アクセプター不純物と結合した水素を結晶中から除去することによりさらに好ましいp型が得られる。

【0040】次に、1050℃でMgドープp型GaNよりなるp型コンタクト層4を0.5μmの膜厚で成長

させる。成長後の断面図が図1(c)である。p型コンタクト層4はp型 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x, 0 \leq y, x+y \leq 1$ ) で構成することができ、特に $\text{InGaN}$ 、 $\text{GaN}$ 、その中でも $\text{Mg}$ をドーブしたp型 $\text{GaN}$ とすると、最もキャリア濃度の高いp型層が得られて、正電極と良好なオーミック接触が得られる。正電極の材料としては $\text{Ni}$ 、 $\text{Pd}$ 、 $\text{Ir}$ 、 $\text{Rh}$ 、 $\text{Pt}$ 、 $\text{Ag}$ 、 $\text{Au}$ 等の比較的仕事関数の高い金属又は合金がオーミックが得られやすい。

【0041】反応終了後、ウェーハを反応容器から取り出し、研磨機を用いて窒化物半導体を成長させていない側のスピネル基板10をラッピングして、図1(d)に示すようにスピネル基板10及びバッファ層11を除去する。バッファ層除去後、さらにバッファ層側のn型コンタクト層1をポリシングして鏡面状とする。

【0042】ラッピングしたウェーハを次に、アニーリング装置に移送し、アンモニア雰囲気中で、 $1000^\circ\text{C}$ のアニーリングを行う。このアニーリングは、 $300^\circ\text{C}$ 以上、 $1200^\circ\text{C}$ 以下で行い、アンモニア、窒素等のN源を含む雰囲気中で行うことにより、結晶全体の結晶性を整える作用がある。

【0043】アニーリング後、アニーリング装置内において、今度は $\text{H}$ を含まない雰囲気中(窒素雰囲気)で、 $700^\circ\text{C}$ でアニーリングを行い、p型層をさらに低抵抗化する。このアニーリングは通常 $400^\circ\text{C}$ 以上で $\text{H}$ を含まない雰囲気中で行うことにより、アクセプター不純物と結合した水素を結晶中から除去して、p型層をさらに低抵抗化する作用がある。

【0044】アニーリング後、ポリシングしたn型コンタクト層1の表面のほぼ全面に $\text{Ti}$ と $\text{Al}$ を含むn電極20を $2\mu\text{m}$ の膜厚で形成し、一方、p型コンタクト層4のほぼ全面に $\text{Ni}$ と $\text{Au}$ を含む透光性のp電極21を $100$ オングストロームの膜厚で形成する。p型コンタクト層4の表面に好ましいオーミック接触を得るには、電極膜厚は $1000$ オングストローム以下にして透光性にすることが望ましい。それは電極アニーリング時に水素が透光性電極を通してp型層から離脱し、p型層をさらに低抵抗化するからである。次にp電極20のほぼ中心に膜厚 $2\mu\text{m}$ のパッド電極22を形成する。

【0045】以上の工程終了後、窒化物半導体ウェーハをn型コンタクト層1の劈開性を用いて劈開して、 $250\mu\text{m}$ 角のLED素子とする。このLED素子は上下に対向するn電極とp電極とを有し、順方向電流(I<sub>f</sub>) $20\text{mA}$ において、順方向電圧(V<sub>f</sub>) $3.5\text{V}$ 、発光出力 $5\text{mW}$ と優れた特性を示した。

【0046】[実施例2] 実施例1において、基板にサファイア(0001)面を用いる他は実施例1と同様にして、サファイア基板の上に $\text{GaN}$ よりなるバッファ層を $200$ オングストロームの膜厚で形成する。

【0047】次にこのバッファ層の上にSiドーブn型

$\text{GaN}$ 層を $5\mu\text{m}$ 成長させる。次に温度を $800^\circ\text{C}$ にして、Siドーブn型 $\text{GaN}$ 層の上に、Siドーブn型 $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ 層を $500$ オングストローム成長させる。次に同じくSiドーブn型 $\text{GaN}$ を $5\mu\text{m}$ 成長させ、さらにSiドーブn型 $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ を $500$ オングストローム成長させる。この操作を16回繰り返し、総膜厚 $60.6\mu\text{m}$ のn型コンタクト層を成長させる。この後は実施例1と同様にしてLED素子を作製したところ、順方向電流(I<sub>f</sub>) $20\text{mA}$ において、順方向電圧(V<sub>f</sub>) $4\text{V}$ 、発光出力 $2\text{mW}$ であった。

【0048】[実施例3] (第2の態様)

図2を元にして本発明の第2の態様を説明する。実施例1と同様にして、(111)面を成長面とするスピネル基板10( $\text{MgAl}_2\text{O}_4$ )のクリーニングを行い、スピネル基板10上に $\text{GaN}$ よりなるバッファ層11を $200$ オングストロームの膜厚で成長させ、このバッファ層の上に、n<sup>+</sup>とn<sup>-</sup>層とを備えたn型コンタクト層1としてSiドーブn型 $\text{GaN}$ 層を $100\mu\text{m}$ の膜厚で成長させる。図2(g)

【0049】成長後、ウェーハを反応容器から取出し、研磨機を用いて窒化物半導体を成長させていない側のスピネル基板10をラッピングして、図2(h)に示すようにスピネル基板10及びバッファ層11を除去しn型コンタクト層1ウェーハとする。さらに、低キャリア濃度(n<sup>-</sup>)側のn型コンタクト層側をポリシングして鏡面状とする。

【0050】ポリシング後、n型コンタクト層基板を反応容器に移送し、アンモニア雰囲気中で、 $1000^\circ\text{C}$ のアニーリングを行う。なお鏡面状にした低キャリア濃度側のn型コンタクト層側を窒化物半導体の成長面とする。

【0051】次に、実施例1と同様にしてポリシングしたn型コンタクト層1の表面にSQW構造の活性層2を $30$ オングストロームの膜厚で成長させ、その活性層の上に $\text{Mg}$ ドーブp型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなるp型クラッド層3を $0.5\mu\text{m}$ の膜厚で成長させ、 $\text{Mg}$ ドーブp型 $\text{GaN}$ よりなるp型コンタクト層4を $0.5\mu\text{m}$ の膜厚で成長させる。成長後の断面図が図2(i)である。また活性層2を成長させる前にn型コンタクト層1の表面に $\text{GaN}$ 、 $\text{InGaN}$ 、 $\text{AlGaN}$ よりなるバッファ層を成長させることもできる。

【0052】反応終了後、反応容器内において、 $\text{H}$ を含まない雰囲気中、例えば窒素、 $\text{Ar}$ 等の雰囲気中、 $700^\circ\text{C}$ でアニーリングを行い、p型層をさらに低抵抗化する。

【0053】アニーリング後、ウェーハを反応容器から取り出し、p型コンタクト層4側から幅 $10\mu\text{m}$ で基盤目状にRIE(反応性イオンエッチング)エッチングを行い、図2(h)に示すようにn型コンタクト層の平面を露出させる。



【0054】次に実施例1と同様にして、窒化物半導体を成長させていないn型コンタクト層1の表面のほぼ全面にTiとAlを含むn電極20を2 $\mu$ mの膜厚で形成し、一方、p型コンタクト層4のほぼ全面にNiとAuを含む透光性のp電極21を100オングストロームの膜厚で形成し、p電極20のほぼ中央に膜厚2 $\mu$ mのパッド電極22を形成する。

【0055】以上の工程終了後、窒化物半導体ウェーハをエッチング溝と、エッチング溝との間でダイサーを用いて切断し、350 $\mu$ m角の発光素子とする。この発光素子も上下に対向するn電極とp電極とを有し、If 20mAにおいて、Vf 3.5V、発光出力5mWと優れた特性を示した。

【0056】〔実施例4〕図3は本発明の方法により得られたレーザ素子の構造を示す模式的な断面図であり、具体的にはレーザ光の共振方向に垂直な方向で素子を切断した際の図を示すものである。以下、図3を元に本発明の方法によりLDを製造する方法を述べる。

【0057】実施例3において、スピネル基板10およびバッファ層11を除去し、成長面をポリシングした膜厚100 $\mu$ mのSiドープGa<sub>0.1</sub>Nよりなるn型コンタクト層1ウェーハを反応容器内に設置した後、温度を800℃にして、原料ガスにTMG、TMI（トリメチルインジウム）、アンモニア、不純物ガスにシランガスを用い、SiドープIn<sub>0.1</sub>Ga<sub>0.9</sub>Nよりなるクラック防止層101を500オングストロームの膜厚で成長させる。このクラック防止層101はInを含むn型の窒化物半導体、好ましくはInGa<sub>0.1</sub>Nで成長させることにより、次に成長させるAlを含む第1のn型窒化物半導体層102を厚膜で成長させることが可能となり、非常に好ましい。LDの場合は、光閉じ込め層となる層を、好ましくは0.1 $\mu$ m以上の膜厚で成長させる必要がある。従来ではGa<sub>0.1</sub>N、AlGa<sub>0.1</sub>N層の上に直接、厚膜のAlGa<sub>0.1</sub>Nを成長させると、後から成長させたAlGa<sub>0.1</sub>Nにクラックが入るので素子作製が困難であったが、このクラック防止層101が、次に成長させるAlを含む第1のn型窒化物半導体層102にクラックが入るのを防止することができる。なおこのクラック防止層は100オングストローム以上、0.5 $\mu$ m以下の膜厚で成長させることが好ましい。100オングストロームよりも薄いと前記のようにクラック防止として作用しにくく、0.5 $\mu$ mよりも厚いと、結晶自体が黒変する傾向にある。なお、このクラック防止層101は成長方法、成長装置等の条件によっては省略することもできる。

【0058】次に温度を1030℃にして、原料ガスにTMA（トリメチルアルミニウム）、TMG、NH<sub>3</sub>、SiH<sub>4</sub>を用い、Siドープn型Al<sub>0.2</sub>Ga<sub>0.8</sub>Nよりなる第1のn型窒化物半導体層102を0.5 $\mu$ mの膜厚で成長させる。この第1のn型窒化物半導体層102はキャリア閉じ込め層、及び光閉じ込め層として作用

し、上記のようにAlを含む窒化物半導体、好ましくはAlGa<sub>0.1</sub>Nを成長させることが望ましく、100オングストローム以上、2 $\mu$ m以下、さらに好ましくは500オングストローム以上、1 $\mu$ m以下で成長させることにより、結晶性の良いキャリア閉じ込め層が形成できる。

【0059】温度を800℃に下げ、Siドープn型Ga<sub>0.1</sub>Nよりなる第2のn型窒化物半導体層103を0.2 $\mu$ mの膜厚で成長させる。この第2のn型窒化物半導体層は、光ガイド層として作用し、Ga<sub>0.1</sub>N、InGa<sub>0.1</sub>Nを成長させることが望ましく、通常100オングストローム～5 $\mu$ m、さらに好ましくは200オングストローム～1 $\mu$ mの膜厚で成長させることが望ましい。

【0060】次に、原料ガスにTMG、TMI、アンモニアを用いて活性層2を成長させる活性層は温度を800℃に保持して、まずノンドープIn<sub>0.2</sub>Ga<sub>0.8</sub>Nよりなる井戸層を25オングストロームの膜厚で成長させる。次にTMIのモル比を変化させるのみで同一温度で、ノンドープIn<sub>0.01</sub>Ga<sub>0.99</sub>Nよりなる障壁層を50オングストロームの膜厚で成長させる。この操作を2回繰り返す、最後に井戸層を積層した多重量子井戸構造の活性層2を成長させる。

【0061】次に、温度を1050℃に上げ、TMG、TMA、NH<sub>3</sub>、Cp2Mg（シクロペンタジエニルマグネシウム）を用い、活性層よりもバンドギャップエネルギーが大きい、Mgドープp型Al<sub>0.1</sub>Ga<sub>0.9</sub>Nよりなる第1のp型窒化物半導体層104を300オングストロームの膜厚で成長させる。この第1のp型窒化物半導体層104は、本実施例ではp型としたが、膜厚が薄いため、n型不純物をドーピングしてキャリアが補償されたi型としても良いが、最も好ましくはp型とする。第1のp型窒化物半導体層104の膜厚は0.1 $\mu$ m以下、さらに好ましくは500オングストローム以下、最も好ましくは300オングストローム以下に調整する。0.1 $\mu$ mより厚い膜厚で成長させると、第1の窒化物半導体層中にクラックが入りやすくなり、結晶性の良い窒化物半導体層が成長しにくいからである。またキャリアがこのエネルギーバリアをトンネル効果により通過できなくなる。また、Alの組成比が大きいAlGa<sub>0.1</sub>N程薄く形成するとLD素子は発振しやすくなる。例えば、Y値が0.2以上のAl<sub>1-y</sub>Ga<sub>y</sub>Nであれば500オングストローム以下に調整することが望ましい。第1の窒化物半導体層104の膜厚の下限は特に限定しないが、10オングストローム以上の膜厚で形成することが望ましい。

【0062】続いて1050℃で、バンドギャップエネルギーが第1のp型窒化物半導体層104よりも小さい、Mgドープp型Ga<sub>0.1</sub>Nよりなる第2のp型窒化物半導体層105を0.2 $\mu$ mの膜厚で成長させる。この層は、光ガイド層として作用し、第2のn型窒化物半導体103と同じくGa<sub>0.1</sub>N、InGa<sub>0.1</sub>Nで成長させることが望ましい。また、この層は第3のp型窒化物半導体層1

06を成長させる際のバッファ層としても作用し、100オングストローム～5 $\mu\text{m}$ 、さらに好ましくは200オングストローム～1 $\mu\text{m}$ の膜厚で成長させることにより、好ましい光ガイド層として作用する。

【0063】続いて1050℃で、バンドギャップエネルギーが第2の窒化物半導体層105よりも大きい、Mgドープp型Al0.2Ga0.8Nよりなる第3のp型窒化物半導体層106を0.5 $\mu\text{m}$ の膜厚で成長させる。この層は第1のn型窒化物半導体層102と同じく、キャリア閉じ込め層、及び光閉じ込め層として作用し、Alを含む窒化物半導体、好ましくはAlGaInを成長させることが望ましく、100オングストローム以上、2 $\mu\text{m}$ 以下、さらに好ましくは500オングストローム以上、1 $\mu\text{m}$ 以下で成長させることにより、結晶性の良いキャリア閉じ込め層が形成できる。

【0064】本実施例のようにInGaInよりなる井戸層を有する活性層の場合、その活性層に接して、膜厚0.1 $\mu\text{m}$ 以下のAlを含む第1のp型窒化物半導体層104を設け、そのp型窒化物半導体層よりも活性層から離れた位置に、第1のp型窒化物半導体層よりもバンドギャップエネルギーが小さい第2のp型窒化物半導体層105を設け、その第2のp型窒化物半導体層105よりも活性層から離れた位置に、第2のp型窒化物半導体層よりもバンドギャップが大きいAlを含む窒化物半導体よりなる第3のp型窒化物半導体層106を設けることは非常に好ましい。しかもこの第1のp型窒化物半導体層104の膜厚を0.1 $\mu\text{m}$ 以下と薄く設定してあるため、キャリアのバリアとして作用することなく、p層から注入された正孔が、トンネル効果により第1のp型窒化物半導体層を通り抜けることができ、活性層で効率よく再結合し、LDの出力が向上する。つまり、注入されたキャリアは、第1のp型窒化物半導体層104のバンドギャップエネルギーが大きいので、半導体素子の温度が上昇しても、あるいは注入電流密度が増えても、キャリアは活性層をオーバーフローせず、第1のp型窒化物半導体層104で阻止されるため、キャリアが活性層に貯まり、効率よく発光することが可能となる。従って、半導体素子が温度上昇しても発光効率が低下することが少ないので、閾値電流の低いLDを実現することができる。

【0065】最後に、第3のp型窒化物半導体層106の上に、1050℃でMgドープp型GaInよりなるp型コンタクト層4を0.5 $\mu\text{m}$ の膜厚で成長させる。

【0066】反応終了後、温度を室温まで下げてウェーハを反応容器から取り出し、700℃でウェーハのアニーリングを行い、p型層をさらに低抵抗化する。

【0067】アニーリング後、RIEにより最上層のp型コンタクト層4と、第3のp型窒化物半導体層106とをエッチングして、2 $\mu\text{m}$ のストライプ幅を有するリッジ形状とする。このように、活性層よりも上部にある

p型層をストライプ状のリッジ形状とすることにより、活性層の発光がストライブリッジの下に集中するようになって閾値が低下する。そして、図3に示すようにp型コンタクト層4の表面にNiとAuよりなるp電極21をストライプ状に形成する。なおp電極21はレーザ素子であるため特に透光性にする必要はない。一方、TiとAlよりなるn電極20を窒化物半導体層を形成していない側のn型コンタクト層1のほぼ全面に形成する。

【0068】次に、ウェーハをストライプ状の電極に垂直な方向でバー状に劈開し、劈開面に共振器を作製する。共振器は基板がGaInであるのでGaInの劈開性を用いて簡単に作製することができる。この場合、劈開面は窒化物半導体の

【外1】

### (1100)

面とする。外1面とは窒化物半導体を正六角柱の六方晶系で近似した場合に、その六角柱の側面に相当する四角形の面(M面)に相当する面である。この他、RIE等のドライエッチング手段により端面をエッチングして共振器を作製することもできる。またこの他、劈開面を鏡面研磨して作成することも可能である。

【0069】劈開後、共振器面にSiO<sub>2</sub>とTiO<sub>2</sub>よりなる誘電体多層膜を形成し、最後にp電極に平行な方向で、バーを切断してレーザチップとした。次にチップをフェースダウン(=p電極がヒートシンクに対向した状態)でヒートシンクに設置し、常温でレーザ発振を試みたところ、しきい値電流密度2kA/cm<sup>2</sup>で、発振波長400nmの連続発振が確認された。このようにGaInを基板とすると用意にフェースダウンボンディングが行えるため、チップの放熱性が格段に向上し、連続発振が可能となる。

【0070】

【発明の効果】以上説明したように、本発明の方法によると窒化ガリウム系化合物半導体を基板とした素子を製造することができるため、従来のように同一面側から2種類の電極を取り出した構造としなくても、上下方向に対向した電極構造とすることができる。さらにチップサイズも小さくできるので、単一面積のウェーハからのチップ取り数が増えるため、価格もを低下できる。また、GaInが基板であるのでLDのような鏡面に近い共振面を必要とするデバイスではGaInの劈開により容易に共振面を作製でき、その産業上の利用価値は非常に大きい。

【図面の簡単な説明】

【図1】 本発明の第1の態様の各工程を説明するためのウェーハの構造を示す模式断面図。

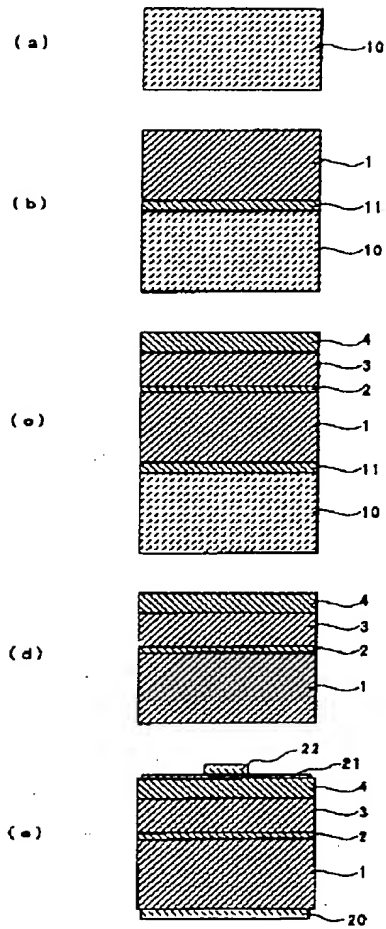
【図2】 本発明の第2の態様の各工程を説明するためのウェーハの構造を示す模式断面図。

【図3】 本発明の方法により得られたレーザ素子の構造を示す模式断面図。

## 【符号の説明】

- 1・・・n型コンタクト層  
2・・・活性層  
3・・・p型クラッド層  
4・・・p型コンタクト層

【図1】



10・・・基板

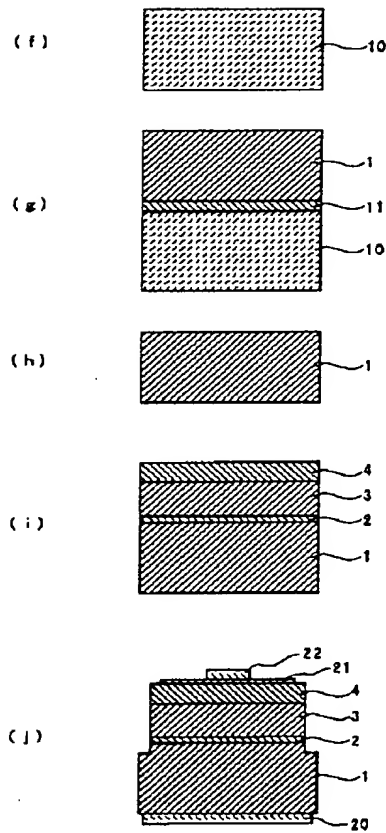
11・・・バッファ層

20・・・n電極

21・・・p電極

22・・・パッド電極

【図2】



【図3】

